



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **58004981 A**(43) Date of publication of application: **12.01.83**

(51) Int. Cl.

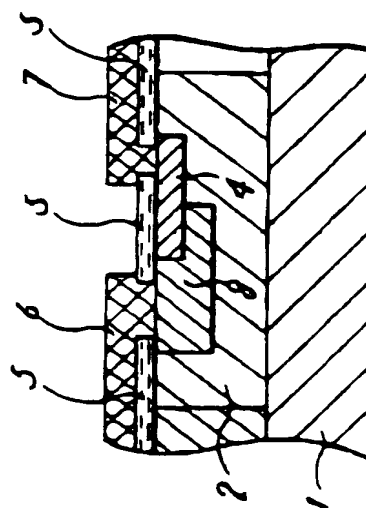
H01L 29/90(21) Application number: **57111060**(22) Date of filing: **28.06.82**(62) Division of application: **49027944**(71) Applicant: **NEC CORP**(72) Inventor: **RYONO KENICHIRO****(54) SEMICONDUCTOR DEVICE****(57) Abstract:**

PURPOSE: To prevent the crossing of metallic wiring on a P-N junction, and to improve the characteristics of an element by forming a P⁺ layer while being adjoined to a P layer, stretching an N⁺ layer extending over both layers and drawing an electrode out of the P⁺ layer.

CONSTITUTION: The P-base 8 is shaped to an N epitaxial layer 2 isolated by a P type insulating layer 3, and the N⁺ layer 4 is extended up to the layer 2 from the layer 8. The P-N junctions are formed among the layers 4 and 8, 2 and 4, and breakdown voltage is determined by the former. A metallic thin-film 7 is drawn outside the unit element from the N⁺ layer 4 on the epitaxial layer 2 while avoiding the upper section of the P-N junction formed by the layers 4 and 8. Accordingly, a level at a low level in the vicinity of the interface of Si and SiO₂ can be reduced, and the dielectric resistance of a semiconductor section just under the electrode can be increased. The characteristic of noises, etc. can also be improved largely because a metal-Si alloy formed when contacting can be separated from the important P-N⁺ junction by shaping an ohmic

contact section at a position where the N⁺ layer and the P layer do not overlap.

COPYRIGHT: (C)1983,JPO&Japio



⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭58—4981

⑤ Int. Cl.³
H 01 L 29/90

識別記号

庁内整理番号
7357—5F

⑬ 公開 昭和58年(1983)1月12日

発明の数 1
審査請求 有

(全 3 頁)

⑭ 半導体装置

東京都港区芝五丁目33番1号日
本電気株式会社内

① 特 願 昭57—111060
② 出 願 昭49(1974)3月9日
③ 特 願 昭49—27944の分割
⑦ 発 明 者 漁野堅一郎

④ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
⑥ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

一導電型の第1半導体領域に形成された他の導電型の第2半導体領域と、この第2半導体領域と前記第1半導体領域とにまたがって形成された前記一導電型の第3半導体領域と、この第3半導体領域と前記第2半導体とが重なる境界面に形成され素子特性に直接寄与するPN接合とを有し、前記第3半導体領域の少なくとも一部と接する電極は前記PN接合の上を横切らないように形成されていることを特徴とする半導体装置。

3. 発明の詳細な説明

この発明は、電極の引出しに特徴のある半導体装置に関するものである。

従来の一体構造の半導体集積回路装置において例えばダイオードの逆方向降伏電圧が利用されるいわゆるセナーダイオードのPN接合上を

引出電極金属が横切る場合に、電極金属によりその直下の81—810 μ の界面近傍に機械的ストレスが与えられる。その結果、逆方向降伏電圧が時間と共に高い方に次第に変動して行く現象が観察される。通常その変動分は10—100mVと小さく、大抵の場合には問題とならないが、ダイオードの順方向電圧、抵抗等を利用してセナーダイオード電圧の温度係数を零近くに押えねばならない場合にはその経時変動分が10—100mVでも問題となってくる。

この発明の目的はPN接合が電極金属の影響を受けない半導体装置を提供することにある。

この発明によれば例えばセナー電圧の経時変動の小さなセナーダイオードが得られ、またトランジスタのエミッタベースに適用することにより、雑音特性、コレクタ電流領域における電流増幅率等が改善される。この発明をセナーダイオードに適用すれば、第1のP型の拡散領域にN型の高濃度の不純物を拡散してセナーダイオードが得られ、そのN型高濃度領域から金

異質膜の電極を引出す場合K、上記第1P型領域及びN型高濃度領域間のPN接合上を横切ることなく引出す。このため、第1P型領域よりもドーパ量の少ない補助領域として第2のP型領域を、第1P型領域に隣接して形成し、上記N型高濃度領域をこれ等第1第2のP型領域に亘って延在させる。電極を上記第2P型領域上のN型高濃度領域から引出す。このようにしてゼナーダイオードの逆方向電圧を決定するPN接合上を金属配線が横切らないようにさせる。

次に図面を参照して説明する。第1図は従来のゼナーダイオードを示し、P型シリコン基板1上にN型のエピタキシャル層2が形成され、この層2はその上面より基板1に通ずるP型の絶縁分離領域3に分割され、図に示してないが各分割されたN型層2に素子が形成される。この素子分離のためのP型の絶縁領域3にN型領域4が形成される。N型領域4は図に示してないN型のエピタキシャル層2の分割領域に例えばNPNトランジスタを構成する場合における

注入され、前記低レベルの単位に捕獲され、空間電荷の再分布が起り、降伏電圧が時間と共にシフトする。アニール(500℃、30分)をすることにより或る程度、機械的ストレスは緩和され、従ってSi-SiO₂界面附近の上記低レベル単位を減少することができるが完全でない。

この発明では降伏電圧を決定するPN接合上のSiO₂を電極用金属薄膜が横切らないようにされる。第2図は本発明半導体装置の一例を示し、NPNトランジスタのエミッタベース接合を利用するゼナーダイオードの断面図である。P型絶縁領域3Kより分離されたN型エピタキシャル層2K P型ベース領域8、更にベース領域8Kエミッタを構成するN型高濃度領域4を形成する場合K、その高濃度領域4をP型領域8の外のN型エピタキシャル層2(0.5~10 Ω -cm)まで延在させる。この場合もPN接合は領域4及び8間と、領域2及び4間とKそれぞれ形成され、その降伏電圧は前者は7~8V、後者は50~100Vと異なるので降伏電圧は

エミッタ形成用のリン拡散により同時に形成される。エピタキシャル層2及び分離領域3上に二酸化シリコン膜5が形成され、膜5K孔が開けられて、分離領域3K接続された電極金属引出配線6及びN型領域4K接続された電極金属引出配線7がそれぞれ形成される。このようにして得られたダイオードの逆方向降伏電圧は、同時に得られるNPNトランジスタのエミッタベース接合のそれよりも約1V低いものとなる。

この従来のダイオードにおいては、第1図K20として示すように領域3及び4間のPN接合の少なくとも一部の上をシリコン酸化膜を介して電極の引出電極7が必ず横切っている。先にも触れたように電極用金属薄膜7は直下のシリコン酸化薄膜5に機械的ストレスを与え、Si-SiO₂界面附近に電荷が捕獲され低いレベルの単位が形成される。ゼナーダイオードはその逆方向降伏はゼナー効果のみならず雪崩降伏も起し、PN接合において雪崩降伏が起ると、熱い荷電粒子が発生してシリコン酸化膜5中K

低い方の降伏電圧で決定される。領域4及び8の形成するPN接合上を通ることなく、エピタキシャル層2上の領域4から金属薄膜7が導出される。

この例はエピタキシャル層を補助領域として作用させた場合であるが、エピタキシャル層2と領域4とは同一導電型であることに留意されたい。即ち、この実施例ではN⁺型高濃度領域4をP型領域8の中Kのみ形成するのではなく、P型領域8の一部とN型エピタキシャル領域2の一部とKわたり形成することにより、N⁺型高濃度領域4とP型領域8とが接する境界K形成され、この素子特性に直接寄与するPN⁺接合を横切らずにN⁺領域から電極7を取り出すことができる。しかも、電極7はPN接合上を通ることなく単位素子外部へ引き出すことができるため、電極直下の半導体部分を高耐圧化することができる。

また、図のように電極7のオーミック接触部を、N⁺とPとが重なっていない所に形成する

ことにより、オーミック接触時に生じる金属—
半導体合金層を重要なPN⁺接合から遠ざける
ことができる。この結果、雑音特性等の素子特
性を大きく改善することができる。

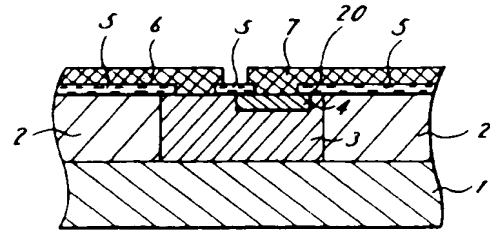
4. 図面の簡単な説明

第1図は従来の熱線ボロン拡散層に形成した
ゼナーダイオードを示す概略断面図、第2図は
本発明をNPNトランジスタのエミッタベース
接合を用いたゼナーダイオードに適用した概略
断面図である。

代理人 弁護士 内 原



第1図



第2図

